

УДК 004.27

ИССЛЕДОВАНИЕ ВАРИАНТОВ КОНФИГУРАЦИИ ПРЕДСТАВЛЕНИЙ КОНВЕЙЕРНОГО СПЕЦВЫЧИСЛИТЕЛЯ С ИСПОЛЬЗОВАНИЕМ АППАРАТНЫХ СПЕЦИАЛИЗИРОВАННЫХ БЛОКОВ

Люлява Д. В., к.т.н., доцент кафедры вычислительной техники Института информационных технологий, Федеральное государственное бюджетное образовательное учреждение высшего образования «МИРЭА – Российский технологический университет» (119454, Россия, Москва, пр-т Вернадского, д. 78), e-mail: lyulyava@mirea.ru

Настоящая статья открывает цикл исследований, направленных на изучение вариантов конфигурации представлений конвейерного спецвычислителя с использованием аппаратных специализированных блоков. Целью исследования является расширение области применения предложенных ранее системных подходов, разработанных лабораторией специализированных вычислительных систем РТУ МИРЭА, для формирования логического и топологического представлений конвейерных спецвычислителей, использующих специализированные аппаратные блоки в составе программируемых логических интегральных схем (ПЛИС). В работе описывается актуальность разработки специализированных вычислительных устройств для задач, требующих минимального времени отклика и высокой производительности, рассмотрены основные понятия и принципы формирования логического и топологического представлений спецвычислителей, а также вопросы согласования различных вариантов представлений с учётом сохранения закладываемых характеристик. Представлены системные подходы, разработанные лабораторией специализированных вычислительных систем РТУ МИРЭА, для формирования представлений спецвычислителей с конвейерной архитектурой. Рассматривается вопрос применения предложенных подходов при проектировании конвейерных спецвычислителей с задействованием специализированных аппаратных блоков ПЛИС. Рассмотрены аппаратные блоки типа DSP (Digital Signal Processing), широко применяемые для реализации операций умножения с накоплением, алгоритмов цифровой обработки сигналов и нейросетевых вычислений. Проанализированы особенности блоков DSP48E1, а также специфика их размещения на ПЛИС AMD Artix-7, Kintex-7 и Virtex-7. Разработан автоматизированный стенд, обеспечивающий генерацию конфигурации спецвычислителя, формирование топологического представления и получение отчётных характеристик. Результаты экспериментальных исследований демонстрируют влияние глубины конвейеризации на достижимую тактовую частоту спецвычислителя, а также существенного расхождения критической задержки для разных вариантов представлений спецвычислителя. В заключении сделан вывод о проведении дальнейших исследований.

Ключевые слова: ПЛИС, RTL, КЛБ, специализированный вычислитель, конвейерная архитектура, маршрут проектирования, DSP, MAC, САПР.

RESEARCH OF CONFIGURATION VARIANTS FOR IMPLEMENTATIONS OF A PIPELINE SPECIALIZED COMPUTING DEVICE WITH HARDWARE SPECIALIZED BLOCKS

Lyulyava D. V., Cand. Sci. (Eng.), Associate Professor of the Computer Engineering Department, Institute of Information Technologies, Federal State Budget Educational Institution of Higher Education "MIREA – Russian Technological University" (78 Vernadskogo pr., Moscow, 119454 Russia), e-mail: lyulyava@mirea.ru

This paper inaugurates a series of research aimed at investigating configuration variants of pipeline special-purpose computing systems employing dedicated hardware blocks. The objective of the research is to extend the applicability of the system-level approaches previously developed by the Laboratory of Special-Purpose Computing Systems at RTU MIREA for constructing logical and topological representations of pipeline special-purpose computing systems utilizing dedicated hardware blocks embedded in field-programmable gate arrays (FPGAs). The relevance of developing specialized computing devices for tasks requiring minimal response time and high performance is discussed. The paper reviews the fundamental concepts and principles underlying the construction of logical and topological representations of special-purpose computing systems, as well as the issues of ensuring consistency between different representation variants while preserving the intended design characteristics. System-level approaches developed by the Laboratory of Special-Purpose Computing Systems at RTU MIREA for constructing representations of pipeline computing systems are presented. The applicability of these approaches to the design of pipeline special-purpose computing systems based on FPGA dedicated hardware blocks is examined. Particular attention is paid to Digital Signal Processing (DSP) blocks, which are widely used to implement multiply-accumulate operations, digital signal processing algorithms, and neural

network computations. The architectural features of the DSP48E1 block and the specifics of its placement within AMD Artix-7, Kintex-7, and Virtex-7 FPGA families are analyzed. An automated framework has been developed to generate special-purpose computing system configurations, construct their topological representations, and obtain detailed implementation reports. Experimental results demonstrate the influence of pipeline depth on the achievable operating frequency of the special-purpose computing system, as well as significant differences in critical path delay across different representation variants. The paper concludes by outlining directions for further research.

Keywords: FPGA, RTL, CLB, specialized computing system, pipelined architecture, design flow, DSP, MAC, CAD.

Введение

В современном информационном мире существует множество различных вычислительных задач, при решении которых существенно важным показателем выступает скорость обработки данных. От времени реакции вычислительного устройства на входящие воздействия во многом зависит, будет ли принято правильное решение в результате их анализа, что характерно, в частности, для оборонной, авиационной или космической отраслей. В подобных случаях решение вопроса, как правило, сводится к созданию специализированной вычислительной системы (специализированные вычислители или спецвычислители [1]). Такого рода вычислительные устройства предназначены для решения суженного круга задач, определяемого соответствующей областью применения устройства [2]. Это, в свою очередь, снимает необходимость реализации сложной управленческой логики и позволяет сосредоточиться на организации внутренней структуры вычислений устройства для достижения наиболее высокого уровня производительности.

В процессе проектирования спецвычислителя ключевой задачей выступает формирование логического и топологического представлений. Логическое представление [3] определяет внутреннюю структуру вычислителя, а также функциональное поведение составляющих его блоков. Построение логического представления осуществляется на системном и RTL-уровнях, при этом конечный вариант описываемого представления является синтезированной схемой вычислителя (netlist [4]) с использованием набора компонентов целевой аппаратной платформы (PDK [4]). Топологическое представление [3], в свою очередь, определяет размещение компонентов спецвычислителя на кристалле целевой аппаратной платформы и трассировку соединений между ними.

Для описанных ранее вариантов представлений процесс проектирования спецвычислителя сводится к последовательной детализации его функциональных возможностей и внутренней структуры компонентов. По мере приближения модели вычислителя к планируемой реализации устройства число анализируемых параметров сильно возрастает, исходя из чего не менее важным вопросом выступает определение набора подходов, используемых при конфигурации соответствующих параметров для разных вариантов представлений. На примере конвейерного спецвычислителя [5], приведённом ниже, наглядно продемонстрировано, что закладываемые технические решения на этапе логического представления, в частности, определённый вариант разбиения вычислений на стадии для сокращения критического пути (рис. 1), не всегда гарантируют сохранение требуемых временных характеристик при переходе к топологическому представлению (рис. 2).

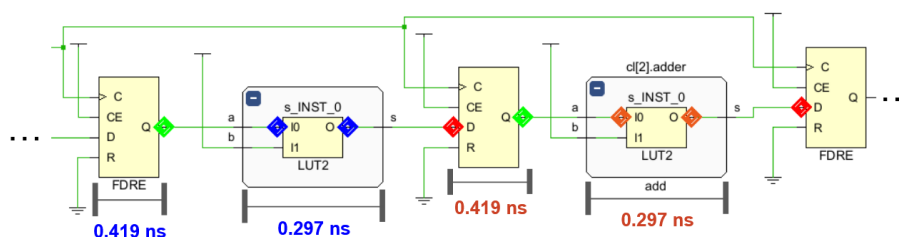


Рисунок 1 – Логическое представление для примера конвейерного спецвычислителя



Рисунок 2 – Топологическое представление для примера конвейерного спецвычислителя

При размещении схемы конвейера на кристалле программируемой логической интегральной схемы (ПЛИС) вендора AMD семейства Artix-7 [6] логическая задержка (рис. 3, «Logic Delay») дополняется временем распространения сигнала по линиям трассировки (рис. 3, «Net Delay»), в результате чего величина итоговой задержки (рис. 3, «Total Delay») существенно отличается от исходной.

Возникающие расхождения между вариантами представлений порождают необходимость использования системных подходов для согласования разных вариантов представлений. Из-за большого объёма параметров, которые необходимо учитывать в процессе проектирования [3], поиск конечного решения [7] может быть строго локализован в области фиксированного набора значений параметров, при этом переходные процессы могут быть автоматизированы с использованием высокоуровневых инструментов типа C-to-HDL [8], HLS (High Level Synthesis) [9,10] и др. [11,12] для снижения времени согласования и сохранения целостности итогового модели вычислителя.

Name	Logic Delay ^{^1}	Net Delay	Total Delay
♦ Path 3	0.716	2.152	2.868
♦ Path 4	0.716	1.277	1.993

Рисунок 3 – Сведения о временных задержках на синхронных путях для примера конвейерного спецвычислителя на ПЛИС семейства Artix-7

Методика совместного проектирования специализированных вычислителей

В соответствии с описанными выше принципами, в 2024 году в лаборатории специализированных вычислительных систем РТУ МИРЭА под руководством доктора технических наук, доцента Тарасова Ильи Евгеньевича была разработана методика совместного проектирования специализированных вычислителей [1] (рис. 4).

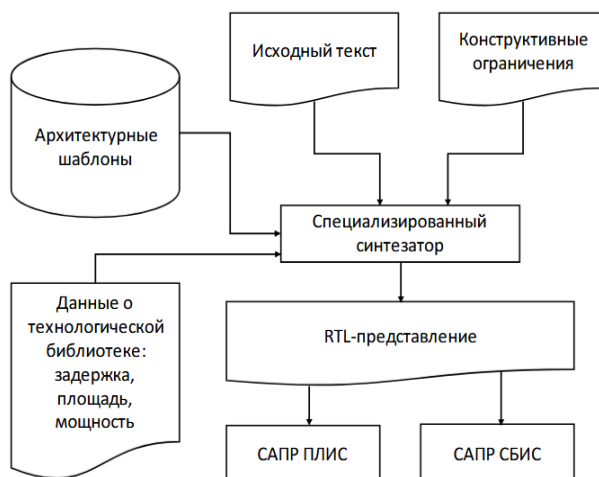


Рисунок 4 – Этапы маршрута в рамках методики совместного проектирования специализированных вычислителей

Согласно данной методике, маршрут проектирования включает в себя построение логического представления (на схеме указано, как «RTL-представление») на основе заданного набора входных параметров с использованием специализированного синтезатора [13] и формирование топологического представления с учётом выбора целевой аппаратной платформы. Конкретный перечень этапов маршрута проектирования определяется в соответствии с выбранным архитектурным шаблоном и целевой аппаратной платформой. На сегодняшний день активно изучаются вопросы применения методики совместного проектирования для конвейерной [3, 5, 7] и процессорной архитектур [14-15] с последующей реализацией на базе ПЛИС или заказных интегральных микросхем.

Определённых результатов удалось достигнуть для конвейерных спецвычислителей на базе ПЛИС вендора AMD. Для моделирования логического представления был разработан синтезатор TruBol [13], позволяющий на основе высокоуровневого описания алгоритма формировать разбиение вычислений на стадии с учётом временных задержек в рамках атомарных операций. Результатом работы синтезатора является preRTL-модель

на языке Verilog с внедрёнными сведениями о принадлежности элементов соответствующим стадиям конвейера. Процесс моделирования топологического представления исследовался в рамках отдельной диссертационной работы [3]. Решение вопросов, связанных с переходом от логического представления к топологическому, было сведено к локализации области поиска возможных вариантов размещений на кристалле ПЛИС. В результате были предложены метод повышения эффективности технической реализации спецвычислителей с конвейерной архитектурой на основе управления топологическим представлением [3] и методика управления топологическими ограничениями для размещения элементов спецвычислителя с конвейерной архитектурой с учётом особенностей совместного проектирования специализированных вычислителей и характеристик целевой аппаратной платформы [3]. Предложенные подходы в качестве основы опираются на существующие инструментальные средства установки топологических ограничений (Placement Constraints, Pblock [6]) и распространённые форматы их описания (.sdc, .xdc [6]). На основе экспериментальной базы с реализацией криптографических алгоритмов и алгоритмов вычисления трансцендентных функций [16] были продемонстрировано сокращение расхождения величин критических задержек для логического и топологического представлений вычислителя, а также повышение прогнозируемости временных характеристик на различных входных наборах параметров. Пример размещения схемы спецвычислителя в одном из проводимых экспериментов приведён на рис. 5 (слева – без использования ограничений, справа – с применением методики).

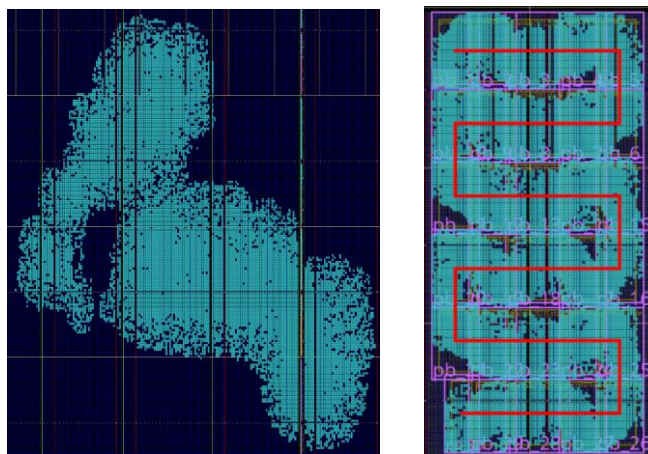


Рисунок 5 – Результат размещения схем вычислителей на кристалле (алгоритм CORDIC, 32 бита, 32 стадии, 1000 МГц, кристалл ПЛИС AMD Virtex US xcvu440_CIV-flga2892-3-e)

Как итог, сформированный маршрут проектирования в качестве конечного решения предоставляет топологическую модель конвейерного спецвычислителя на базе ПЛИС с сохранением временных характеристик, закладываемых на этапе построения логического представления.

Расширение области применения предложенных подходов

При реализации конвейерных спецвычислителей в качестве аппаратных ресурсов, доступных на кристалле ПЛИС, применялись конфигурируемые логические блоки (КЛБ, CLB [6]), организованные в виде равномерной матричной структуры. Блоки CLB (таблицы поиска LUT [6], цепи переноса CARRY [6]) подходят для организации комбинационных схем, позволяющих выполнять простые логические и арифметические операции (сложение, вычитание, сдвиг и т.д.). Однако при необходимости представления составных операций (умножения, деления, возведение в степень и т.д.) с широкой разрядностью операндов (от 16 и выше) потребуется большое количество подобных вычислительных блоков. На рис. 6-7 приведены графики изменения числа задействованных ресурсов LUT (6-входовых) и CARRY (на 4 переноса) для операции умножения с увеличением разрядности входных операндов (ПЛИС Xilinx/AMD xc7a100tcsg324-1 [6]). На графиках значками ромба обозначены исходные данные, красной пунктирной линией – ограничение доступных ресурсов на кристалле ПЛИС. Дополнительно приведены графики квадратичной (оранжевая пунктирная линия) и кубической регрессии (коричневая точечная линия) для оценки тенденции изменения рассматриваемого показателя. Как можно заметить, повышение разрядности операндов порождает существенный рост объёма задействованных ресурсов, что в свою очередь ведёт к увеличению площади, занимаемой схемой.

По этой причине для реализации подобных операций на ПЛИС, как правило, используются специализированные аппаратные блоки [4], позволяющие производить выполнение составных операций с уменьшением объёма утилизированных ресурсов CLB. В рамках дальнейших исследований представляет смысл рассмотрение возможности применения обозначенных ранее подходов для конвейерных спецвычислителей, в составе которых присутствуют соответствующие блоки. Данная область интересов частично пересекается с проектированием на базе заказных микросхем, поскольку во многих случаях использующиеся технологические библиотеки первоначально адаптированы под эффективную реализацию узкого набора сложных операций.

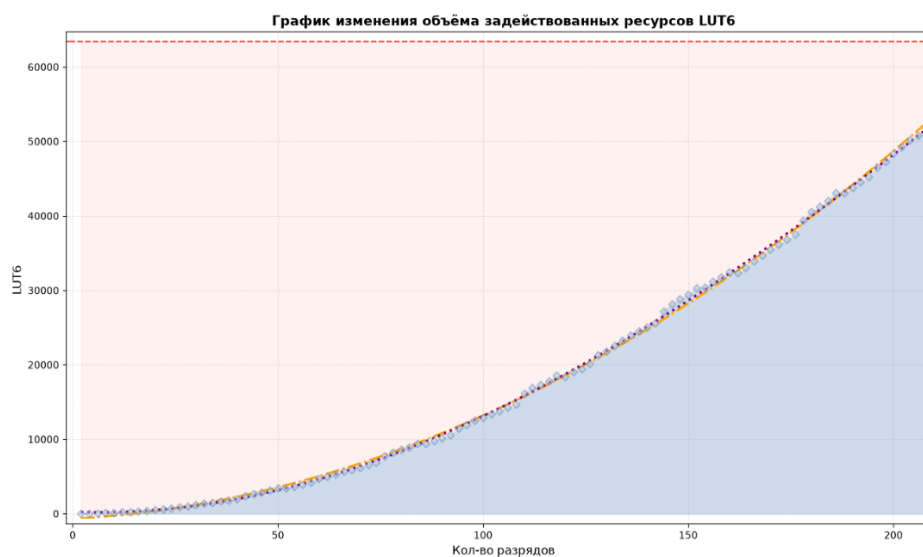


Рисунок 6 – График изменения количества LUT6 с увеличением разрядности входных операндов (операция умножения, ПЛИС AMD xc7a100tcsfg324-1, диапазон от 2 до 208 разрядов)

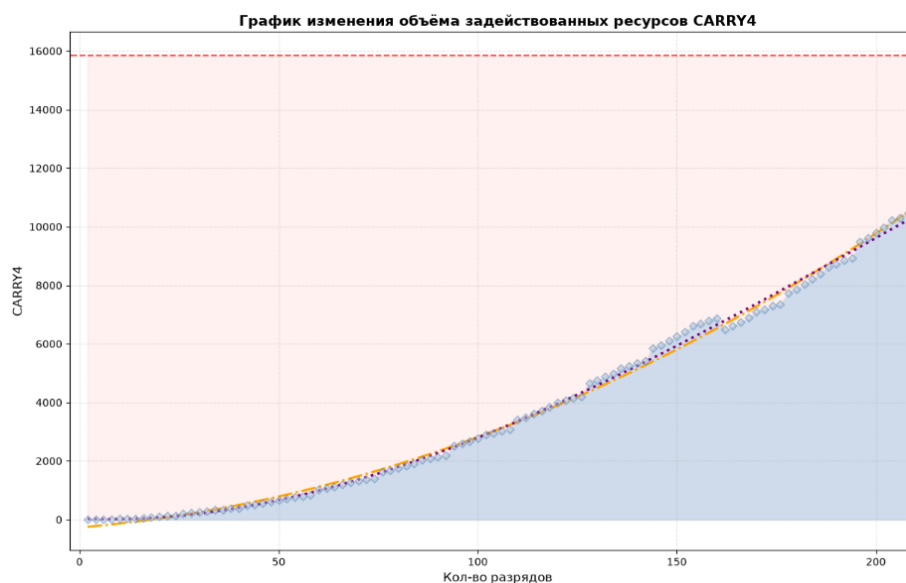


Рисунок 7 – График изменения количества CARRY4 с увеличением разрядности входных операндов (операция умножения, ПЛИС AMD xc7a100tcsfg324-1, диапазон от 2 до 208 разрядов)

Особенности организации специализированных блоков на кристалле ПЛИС

Выбор специализированных блоков, интегрируемых в компонентный состав ПЛИС, неразрывно связан со спектром предметных областей, для которых производятся соответствующие модели кристаллов. В частности, одной из распространённых операций, применяемых в цифровой обработке сигналов, а также при проектировании нейронных сетей, является операция «умножение с накоплением» (MAC, multiply-and-accumulate [4]). Представление данной операции для двух и более векторов при равном количестве элементов

сводится к перемножению элементов соответствующих векторов между собой и последовательному аккумулярованию полученных значений (формула 1) [4]:

$$c = a_0 * b_0 + a_1 * b_1 + \dots + a_n * b_n, \quad (1)$$

где $a_0 \dots a_n$ – значения первого вектора, $b_0 \dots b_n$ – значения второго вектора, c – результат операции MAC. В микросхемах ПЛИС для реализации одной или нескольких операций MAC используется набор блоков типа DSP (Digital Signal Processing [4]). На рис. 8 приведено внутреннее устройство блока DSP модели DSP48E1 [6] в составе ПЛИС Xilinx/AMD 7 Series.

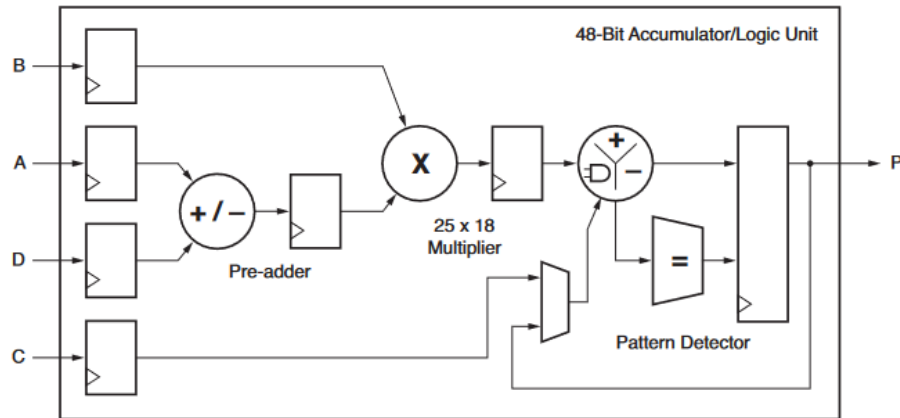


Рисунок 8 – Внутренняя схема блока DSP модели DSP48E1

Основными компонентами выступают умножитель размерности 25 бит на 18 бит, аккумулятор размерности 48 бит, а также два арифметических блока. Первый блок («+/-») отвечает за выполнение операции сложения или вычитания для одного из аргументов произведения, второй блок представляет собой арифметико-логическое устройство (АЛУ) для выполнения последующих операций с результатом произведения. Между всеми блоками в DSP48 располагаются синхронные регистры для конвейеризации вычислений. На рис. 9 приведён пример реализации умножения с накоплением на блоках DSP в САПР Vivado [6]. Существует также более продвинутая версия аппаратного блока (DSP48E2 [6]), в которой увеличена разрядность операндов, а также добавлена поддержка широких операций XOR.

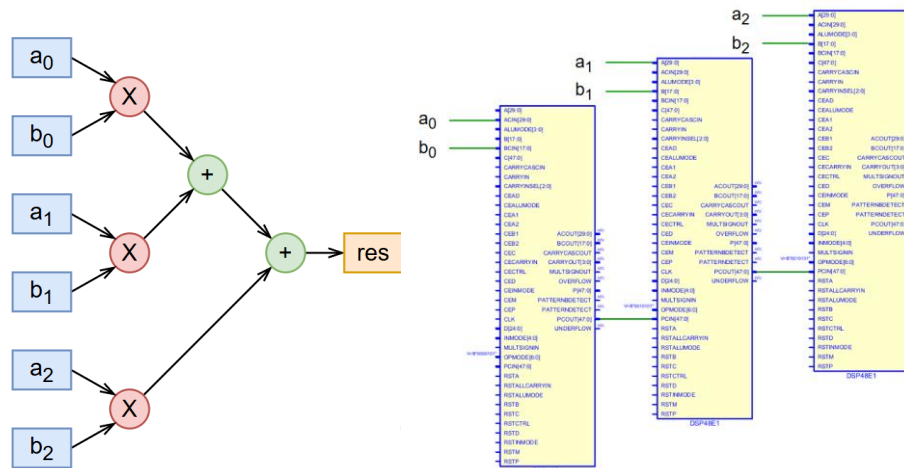


Рисунок 9 – Пример реализации схемы умножения с накоплением на блоках DSP для двух векторов из трёх операндов (слева – структурная схема, справа – реализация в САПР Vivado)

Разработка автоматизированного стенда для генерации вариантов конфигураций спецвычислителей с использованием блоков DSP

Для исследования различных вариантов спецвычислителей с применением блоков DSP был разработан автоматизированный стенд, который обеспечивает формирование конфигураций спецвычислителя, построение топологического представления с выгрузкой данных о выходных характеристиках, а также отображение графиков зависимостей. Параметрическая модель, используемая для формирования конфигураций, позволяет

настраивать входные векторы, участвующие в операциях MAC, и управлять конвейеризацией схемы вычислителя. Программная реализация маршрута построения топологического представления выполнена с использованием САПР Vivado и языка TCL. Описываемая далее версия программной реализации использует стандартные стратегии САПР для синтеза и размещения схемы на кристалле. Конфигурация стратегий САПР и набора топологических ограничений является предметом рассмотрения в рамках последующих исследований.

Для входных векторов определены параметры разрядности операндов и количества элементов в составе вектора. Разрядность подбирается с учётом характеристик DSP: для модели DSP48E1 максимальное допустимое количество разрядов для входа А (1-го множителя) равно 25, для входа В (2-го множителя) равно 18, для входа С (частичной суммы) и выхода Р (результата операции MAC) – 48. Количество элементов каждого вектора ограничивается доступным набором ресурсов для их обработки, а также разрядностью входов и выходов DSP для передачи частичных сумм. При реализации операции MAC на базе DSP-блоков количество элементов для каждого вектора определяется по формуле 2:

$$V_{count} = P_{size} - (A_{size} + B_{size}) - 1, \quad (2)$$

где V_{count} – количество элементов вектора, P_{size} – разрядность выходной шины блока DSP для результата операции MAC, A_{size} – разрядность 1-го множителя, B_{size} – разрядность 2-го множителя. В соответствии с формулой 2, для блоков DSP48E1 максимальное количество элементов вектора равно 13. Управление конвейеризацией осуществляется в рамках логического представления спецвычислителя путем конфигурации карты регистров, в состав которой входят регистры DSP, а также разделяющие регистры, располагаемые между стадиями вычислений (в представленном примере число разделяющих регистров равно 4). Схема организации карты регистров для одной стадии вычислений представлена на рис. 10.

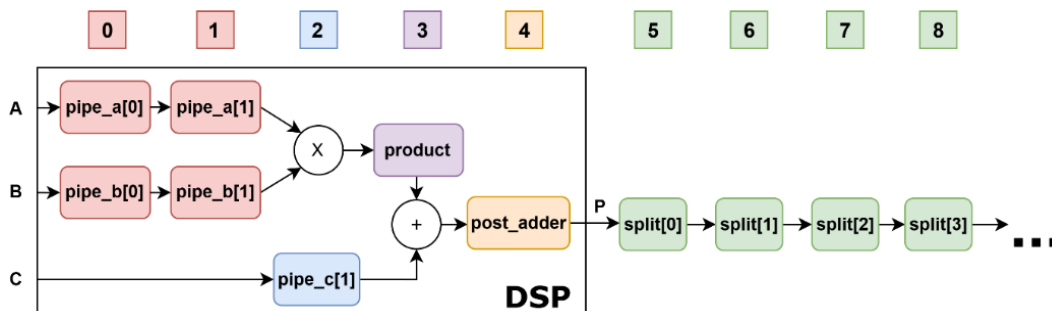


Рисунок 10 – Схема организации карты регистров для одной стадии вычислений

В составе карты регистров присутствуют два регистра для операндов А и В («pipe_a» и «pipe_b», выделены красным цветом), один регистр для частичной суммы С («pipe_c», выделен синим цветом), регистр для произведения («product», выделен фиолетовым цветом), регистр для результата операции MAC («post_adder», выделен оранжевым цветом) и разделяющие регистры («split», выделены зелёным цветом). Общее представление карты регистров для нескольких стадий вычислений приведено на рис. 11. Одиночные разряды в начале и в конце карты отвечают за установку регистров для входных векторов и установку регистра конечного результата соответственно.

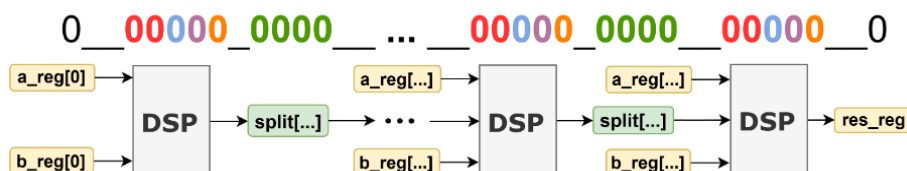


Рисунок 11 – Общее представление карты регистровых элементов для нескольких стадий вычислений конвейера

Для демонстрации работы спроектированного стенда было рассмотрено несколько вариантов конвейеризации спецвычислителя, выполняющего операцию MAC. При проведении экспериментов были использованы аппаратные платформы ПЛИС AMD/Xilinx семейств Artix-7 (xc7a100tcs324-3 [6]), Virtex-7 (xc7vx690t_CIVffg1930-3 [6]) и Kintex-7 (xc7k480tffv1156 [6]), область размещения ограничена одним тактовым регионом. С учётом верхней границы параметров DSP48 разрядность операндов установлена равной 18 битам,

количество элементов векторов - 13 шт. На рис. 12-14 приведены графики зависимости предельной тактовой частоты от глубины конвейеризации схемы вычислителя. По вертикальной оси располагается максимальная тактовая частота работы вычислителя, по горизонтальной оси – конфигурация карты регистровых элементов для одной стадии вычислений. Пунктирной линией показана предельная тактовая частота для рассматриваемого кристалла с учётом ограничений буферов тактового дерева синхросигнала: для Artix-7 – 625 МГц [6] (период 1.6 нс), для Virtex-7 и Kintex-7 – 800 МГц [6] (период 1.25 нс).

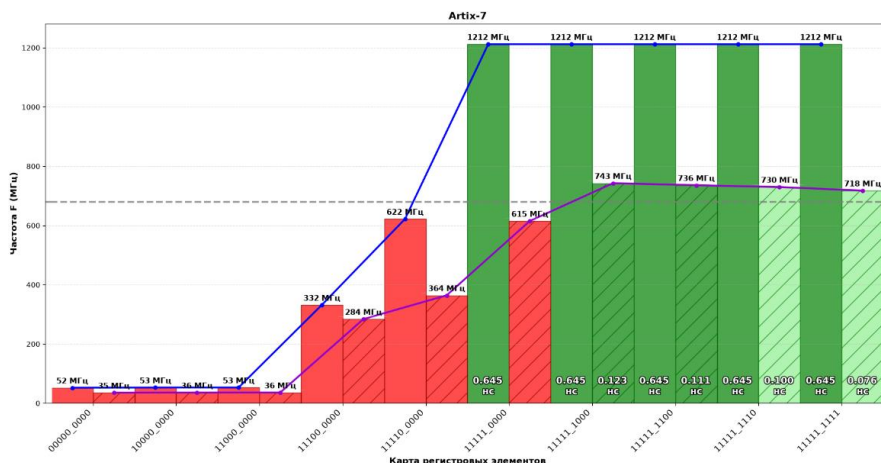


Рисунок 12 – График зависимости максимальной тактовой частоты работы вычислителя от конфигурации карты регистровых элементов для одной стадии вычислений (ПЛИС семейства Artix-7)

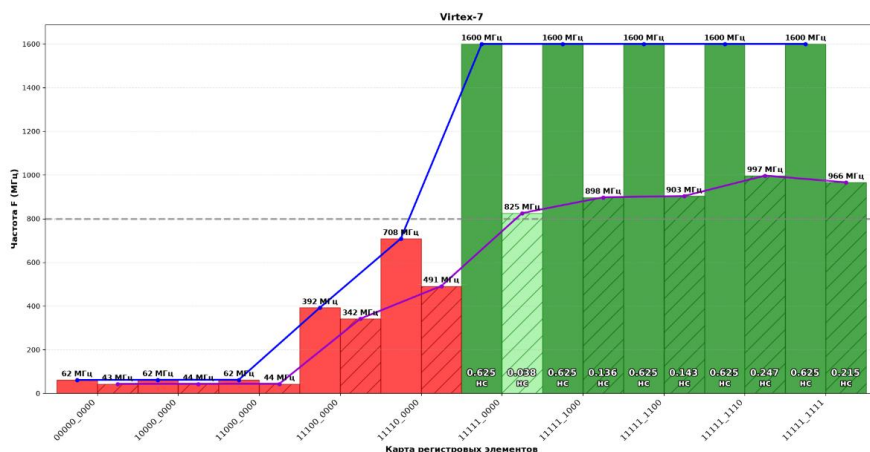


Рисунок 13 – График зависимости максимальной тактовой частоты работы вычислителя от конфигурации карты регистровых элементов для одной стадии вычислений (ПЛИС семейства Virtex-7)

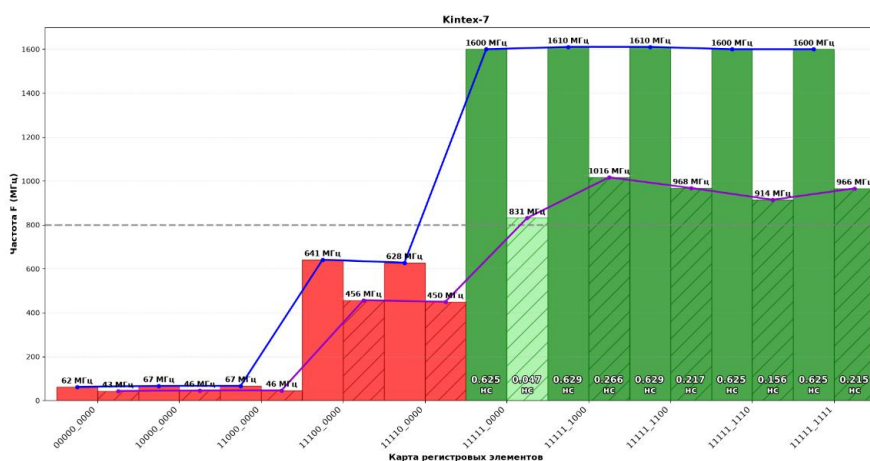


Рисунок 14 – График зависимости максимальной тактовой частоты работы вычислителя от конфигурации карты регистровых элементов для одной стадии вычислений (ПЛИС семейства Kintex-7)

Над каждым вариантом конфигурации выведено два столбца, соответствующих показателям тактовой частоты для логического и топологического представлений (также подписана над столбцами). Красным цветом выделены варианты конфигурации, при которых не была достигнута предельная тактовая частота, зелёным цветом – для которых полученная тактовая частота вычислителя равна или больше предельной. Оттенок цвета показывает сохранившийся временной запас (светло-зелёный – до 0.1 нс, зелёный – больше 0.1 нс).

Как можно заметить, на ПЛИС семейства Artix-7 синтезированный вариант конвейера способен функционировать на высокой тактовой частоте без использования разделяющих регистров, однако при переходе к топологическому представлению выход на предельные временные характеристики кристалла является затруднительным: для выхода за обозначенную границу необходимо добавление хотя бы одного разделяющего регистра. В то же время, для семейств Kintex-7 и Virtex-7 конвейеризации внутренних регистров блоков DSP достаточно для получения тактовой частоты, близкой к предельной. Дополнительные разделяющие регистры увеличивают временной запас для критического пути, что позволяет при необходимости задействовать дополнительные узлы для промежуточных операций.

Заключение

Настоящая работа представляет собой первый этап комплексного исследования вариантов конфигурации представлений конвейерного спецвычислителя с использованием аппаратных специализированных блоков. В рамках вводной статьи были рассмотрены системные подходы к построению рассматриваемых представлений, разработанные лабораторией специализированных вычислительных систем РТУ МИРЭА. Обозначенные подходы определяют основу для дальнейшего исследования в последующих работах данного цикла. Представленные в статье эксперименты демонстрируют возможности конвейеризации стадий вычислений при использовании аппаратных блоков DSP (модели DSP48E1) на ПЛИС Xilinx/AMD 7 Series. Результаты позволяют сделать вывод о степени влияния внутренней и внешней конвейеризации блоков DSP, а также демонстрируют наличие существенного расхождения критической задержки для логического и топологического вариантов представлений. В дальнейшем планируется использовать разработанный стенд для анализа других вариантов размещения конвейерных спецвычислителей на базе блоков DSP с учётом расширенного набора входных параметров: как логических (разрядность и количество операндов, наличие промежуточных операций и т.д.), так и топологических (использование одного или нескольких столбцов вычислительных блоков DSP, выбор горизонтального или вертикального вариантов перехода между тактовыми регионами кристалла ПЛИС при распространении цепочки вычислений и т.д.).

Список литературы

1. Тарасов И.Е., Советов П.Н., Люлява Д.В., Мирзоян Д.И. Методика проектирования специализированных вычислительных систем на основе совместной оптимизации аппаратного и программного обеспечения // Russian Technological Journal. 2024. Т. 12, № 3. С. 37-45.
2. Hennessy, J.L.; Patterson, D.A. A new golden age for computer architecture: Domain-specific hardware/software co-design, enhanced security, open instruction sets, and agile chip development. In Proceedings of the 2018 ACM/IEEE 45th Annual International Symposium on Computer Architecture (ISCA), Los Angeles, CA, USA, 1–6 June 2018. doi:10.1109/ISCA.2018.00011.
3. Метод повышения эффективности технической реализации специализированных вычислителей с конвейерной архитектурой на основе управления топологическим представлением: диссертация кандидата технических наук: 2.3.2. / Люлява Даниил Вячеславович; [Место защиты: МИРЭА - Российский технологический университет; Диссовет 24.2.326.09 (Д 212.131.ХХ)]. - Москва, 2025. - 175 с. : ил.
4. Тарасов И.Е. ПЛИС Xilinx. Языки описания аппаратуры VHDL и Verilog, САПР, приемы проектирования. — М.: Горячая линия — Телеком, 2021. — 538 с.: ил.
5. Дуксин Н.А., Люлява Д.В. Исследование характеристик конвейеризированных структур // ИТ-Стандарт. – 2024. – № 4(41). – С. 68-82.
6. AMD Technical Information Portal // URL: <https://docs.amd.com> (дата обращения: 24.07.2026).
7. Люлява, Д. В. Применение методики оптимизации физического представления специализированного вычислителя с конвейерной архитектурой / Д. В. Люлява // Вестник Рязанского государственного радиотехнического университета. – 2025. – № 92. – С. 77-91. – DOI 10.21667/1995-4565-2025-92-77-91.

8. I. Page, "Closing the gap between hardware and software: hardware-software cosynthesis at Oxford," IEE Colloquium on Hardware-Software Cosynthesis for Reconfigurable Systems, Bristol, UK, 1996, pp. 2/1-211, doi: 10.1049/ic:19960221.
9. Сравнение инструментов высокоуровневого синтеза и конструирования цифровой аппаратуры / А. С. Камкин, М. М. Чупилко, М. С. Лебедев [и др.] // Труды Института системного программирования РАН. – 2022. – Т. 34, № 5. – С. 7-22. – DOI 10.15514/ISPRAS-2022-34(5)-1.
10. Камкин, А. С. Открытое промежуточное представление специализированных потоковых вычислителей, основанное на MLIR / А. С. Камкин, М. Ю. Литвинов, И. А. Григоров // Труды Института системного программирования РАН. – 2024. – Т. 36, № 5. – С. 31-46. – DOI 10.15514/ISPRAS-2024-36(5)-3.
11. Гузик, В. Ф. Реконфигурируемые вычислительные системы / В. Ф. Гузик, И. А. Каляев, И. И. Левин. – Ростов-на-Дону : Южный федеральный университет, 2016. – 472 с. – ISBN 978-5-9275-1918-7.
12. Эннс В.И., Гаврилов С.В., Чочаев Р.Ж. Автоматическая настройка программных средств размещения пользовательских схем на ПЛИС // Известия высших учебных заведений. Электроника. – 2021. – Т. 26, № 6. – С. 508-520. – DOI 10.24151/1561-5405-2021-26-6-508-520.
13. Советов, П. Н. Математическое и алгоритмическое обеспечение создания компиляторов предметно-ориентированных языков для специализированных вычислительных машин: специальность 05.13.11 "Математическое и программное обеспечение вычислительных машин, комплексов и компьютерных сетей": диссертация на соискание ученой степени кандидата технических наук / Советов Петр Николаевич, 2020. – 126 с.
14. Тарасов, И. Е. Перспективные процессорные ядра для применения в составе специализированных вычислителей с массово-параллельной архитектурой на базе ПЛИС / И. Е. Тарасов, Н. А. Дуксин, И. И. Дуксина // ИТ-Стандарт. – 2026. – № 1(46). – С. 136-142.
15. Дуксин, Н. А. Организация системы ввода и вывода данных для вычислительных кластеров программируемой логики / Н. А. Дуксин // ИТ-Стандарт. – 2026. – № 2(47). – С. 86-95.
16. Захаров А.В., Хачумов В.М. Алгоритмы CORDIC. Современное состояние и перспективы // Программные системы: теория и приложения, М.: Физматлит, 2004, с. 353-372.

References

1. Tarasov I.E., Sovetov P.N., Lyulyava D.V., Mirzoyan D.I. Metodika proektirovaniya specializirovannyh vychislitel'nyh sistem na osnove sovmestnoj optimizatsii apparatnogo i programmno obespecheniya // Russian Technological Journal. 2024. T. 12, № 3. S. 37-45.
2. Hennessy, J.L.; Patterson, D.A. A new golden age for computer architecture: Domain-specific hardware/software co-design, enhanced security, open instruction sets, and agile chip development. In Proceedings of the 2018 ACM/IEEE 45th Annual International Symposium on Computer Architecture (ISCA), Los Angeles, CA, USA, 1–6 June 2018. doi:10.1109/ISCA.2018.00011.
3. Metod povysheniya effektivnosti tekhnicheskoy realizatsii specializirovannyh vychislitelej s konvejernoj arhitekturoj na osnove upravleniya topologicheskim predstavleniem: dissertatsiya kandidata tekhnicheskikh nauk: 2.3.2. / Lyulyava Daniil Vyacheslavovich; [Mesto zashchity: MIREA - Rossijskij tekhnologicheskij universitet; Dissovet 24.2.326.09 (D 212.131.XX)]. - Moskva, 2025. - 175 s. : il.
4. Tarasov I.E. PLIS Xilinx. YAzyki opisaniya apparatury VHDL i Verilog, SAPR, priemy proektirovaniya. — M.: Goryachaya liniya — Telekom, 2021. — 538 s.: il.
5. Duxin N.A., Lyulyava D.V. Issledovanie harakteristik konvejerizirovannyh struktur // IT-Standart. – 2024. – № 4(41). – С. 68-82.
6. AMD Technical Information Portal // URL: <https://docs.amd.com> (data obrashcheniya: 24.07.2026).
7. Lyulyava, D. V. Primenenie metodiki optimizatsii fizicheskogo predstavleniya specializirovannogo vychislitelya s konvejernoj arhitekturoj / D. V. Lyulyava // Vestnik Ryazanskogo gosudarstvennogo radiotekhnicheskogo universiteta. – 2025. – № 92. – С. 77-91. – DOI 10.21667/1995-4565-2025-92-77-91.
8. I. Page, "Closing the gap between hardware and software: hardware-software cosynthesis at Oxford," IEE Colloquium on Hardware-Software Cosynthesis for Reconfigurable Systems, Bristol, UK, 1996, pp. 2/1-211, doi: 10.1049/ic:19960221.
9. Sravnenie instrumentov vysokourovnevo go sinteza i konstruirovaniya cifrovoj apparatury / A. S. Kamkin, M. M. CHupilko, M. S. Lebedev [i dr.] // Trudy Instituta sistemnogo programmirovaniya RAN. – 2022. – Т. 34, № 5. – С. 7-22. – DOI 10.15514/ISPRAS-2022-34(5)-1.

10. Kamkin, A. S. Otkrytoe promezhutochnoe predstavlenie specializirovannyh potokovyh vychislitelej, osnovannoe na MLIR / A. S. Kamkin, M. YU. Litvinov, I. A. Grigorov // Trudy Instituta sistemnogo programmirovaniya RAN. – 2024. – T. 36, № 5. – S. 31-46. – DOI 10.15514/ISPRAS-2024-36(5)-3.
11. Guzik, V. F. Rekonfiguriruemye vychislitel'nye sistemy / V. F. Guzik, I. A. Kalyaev, I. I. Levin. – Rostov-na-Donu : YUzhnyj federal'nyj universitet, 2016. – 472 s. – ISBN 978-5-9275-1918-7.
12. Enns V.I., Gavrilov S.V., CHochaev R.ZH. Avtomaticheskaya nastrojka programmnyh sredstv razmeshcheniya pol'zovatel'skih skhem na PLIS // Izvestiya vysshih uchebnyh zavedenij. Elektronika. – 2021. – T. 26, № 6. – S. 508-520. – DOI 10.24151/1561-5405-2021-26-6-508-520.
13. Sovetov, P. N. Matematicheskoe i algoritmicheskoe obespechenie sozdaniya kompilyatorov predmetno-orientirovannyh yazykov dlya specializirovannyh vychislitel'nyh mashin: special'nost' 05.13.11 "Matematicheskoe i programmnoe obespechenie vychislitel'nyh mashin, kompleksov i komp'yuternyh setej": dissertaciya na soiskanie uchenoj stepeni kandidata tekhnicheskikh nauk / Sovetov Petr Nikolaevich, 2020. – 126 s.
14. Tarasov, I. E. Perspektivnye processornye yadra dlya primeneniya v sostave specializirovannyh vychislitelej s massovo-parallel'noj arhitekturoj na baze PLIS / I. E. Tarasov, N. A. Duksin, I. I. Duksina // IT-Standart. – 2026. – № 1(46). – S. 136-142.
15. Duksin, N. A. Organizaciya sistemy vvoda i vyvoda dannyh dlya vychislitel'nyh klasterov programmirovanoj logiki / N. A. Duksin // IT-Standart. – 2026. – № 2(47). – S. 86-95.
16. Zaharov A.B., Hachumov V.M. Algoritmy CORDIC. Sovremennoe sostoyanie i perspektivy // Programmnye sistemy: teoriya i prilozheniya, M.: Fizmatlit, 2004, s. 353-372.